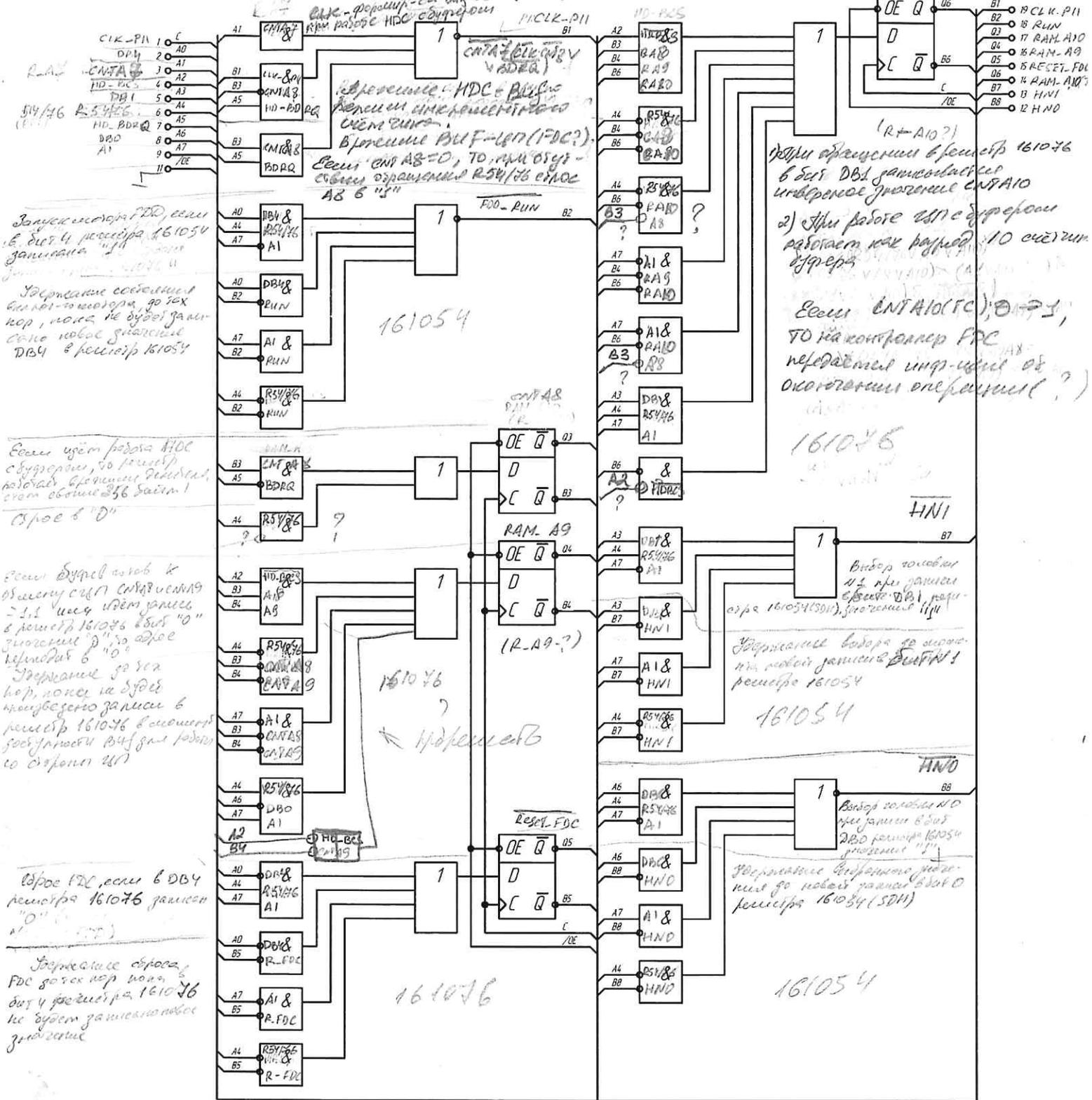


Вопрос к ПИУ КЗ:

P11



Запуск мотора FDD, если в бит 4 регистра 161054 записана "1"

Запрещение вращения двигателя мотора, по сигналу кор, пока не будет записана новая информация в регистр DB4 и регистр 161054

Если идет работа HD с дуплером, то регистр 161054 должен быть равен 0, если равен 1, то это "0"

Если дуплер готов к работе сигнал CNTRAS и CNTRAS - 1, и если идет запись в регистр 161076 бит 0, то адрес выводится в "0". Запрещение по сигналу кор, пока не будет записана новая информация в регистр 161076 в момент появления бит 0 в регистре CNTRAS

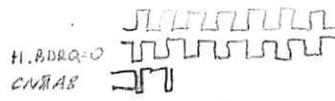
Вход FDC, если в DB4 регистр 161076 записан "0"

Запрещение сигнала FDC по сигналу кор, пока бит 4 регистра 161076 не будет записан новой информацией

Занятия в институте происходили после загрузки 512 байт в дуплер ПДП

Рисунок 10 Функциональная схема KM1556XP4 P11.

- RUN - вращение шпинделя HDD и FDD (скачкообразно)
- HD-BDRQ - "1" если дуплер готов для чтения или записи со стороны ЦАП
- DB4 - FDC busy "1"? DB4 - DSEL3, DSEL4, DB1, DBD - HSEL0 - HSEL4 (SEL-HDD, SEL-HDD)
- DB4 - запись мотора FDD (SEL-FDD)
- AI - выбор между регистрами 0/1 - 161054/161076
- AB3 - DSEL3, DSEL4 (перебор HDD) SEL-HDD
- DB2 - HSEL4 HSEL4 (команда "2") SEL
- 161076: DB4 - RESET FDC
- DB5 - CNTRAS (TC)
- DB0 - CNTRAS - заданная пауза считывания 40 кадров в секунду
- DB-256 0.1-768 TC (контроль считывания 43 кадрами HDD)
- DB-256 0.1-768 256, 512, 768, 1074 байта



DB4 - Sel FDD  
DB3 - Sel HDD

0: HD\_BCS · AB · A9 · A10 V DB1 · R54/76 · A1 } 1) Если при обращении 211 к буферу переход в "0" как свет и доминирует значение с переводом  
DB1 · 161076 } 2) Если запись "1" в буфер DB1 регистра 161076 (при обращении к 161076 сбрасывается "0" и CNTAD - CNTAZ)

1: (R54 V A8) (R54 V A9) (A1 V A8) HD\_BCS } 1) Переход из 0 в 1, если A8 и A9 = 1, т.е. свет в "буфер" переводит работу 211 с буфером.  
(R54 V A8 A9) (A1 V A8 A9) HD\_BCS } 2) Если запись в регистр 161076 и буфер DB1 = 0  
(161076 V A8 A9) HD\_BCS = 161076 · HD\_BCS V A8 · A9 · HD\_BCS

Q4: 0: HD\_BCS · AB · A9 V DB0 · A1 · R54/76 } 1) Если при работе 211 с буфером переход в "0" если A9 и A8 = 1, 1? - инверсионный светик  
161076 } 2) Если производится запись буфер DB0 = 0 в регистр 161076

1: (R54/76 V A8) (A1 V A8) HD\_BCS } 1) Если A8 = 1 переход A9 и 1 в 0 (инверсионный светик) при работе 211 с буфером  
161076 · HD\_BCS V A8 · HD\_BCS } 2) Если производится запись в регистр 161076 значение буфер DB0 = 1

Q3: 0: BDRQ · A8 V R54/76 } 1) Если A8 = 1 и свет идет между буфером  
1 } 2) Если производится запись в регистр 161076 или 161076 или находится clk

1: (A8 V BDRQ) R54/76 } 1) Если отключены записи в регистры 161054/161076 и поменяны буферы и записи со стороны 211 (FDC?)  
A8 · R54/76 V BDRQ R54/76 } 2) Если отключены записи в регистры 161054/161076 и значение A8 = 0

Убедитесь в правильности светика в случае сбоя (или инверсионный светик) clk 0 → 1 или инверсионный HDE с буфером, или при записи в регистры 161054/161076

A1: 0: A7 V A7 A8 · BDRQ V A8 · BDRQ } 1) clk = A7 =  
A7 V BDRQ (A8 V A8) } 2) Если буфер готов к записи с 211 (FDC?) (т.е. нет операции обращения к буферу со стороны HDE) и A8 = 1, то "переходит" clk в 0. Если есть обращение в регистр 161054/161076, то на выходе регистра, A8 = 1.  
A7 V (clk · A8 · BDRQ) V A8 · BDRQ }  
A7 (clk · A8 · BDRQ) (A8 · BDRQ) =  
= A7 (clk V A8 V BDRQ) (A8 V BDRQ) = A7 (clk · A8 V clk BDRQ V A8 A7 V A8 BDRQ V BDRQ A8 V BDRQ) =  
= A7 (clk A8 V clk BDRQ V BDRQ (A8 V A8) V BDRQ) = A7 (clk A8 V clk BDRQ V BDRQ)  
= A7 (clk A8 V BDRQ (1 V clk)) = A7 (clk · A8 V BDRQ)

A7 (

BDRQ	clk	A8	A7	clk
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	0	0
0	1	0	0	1
0	1	0	0	0
0	1	1	0	1 → 1
0	1	1	0	0
1	0	0	0	1 → 0 → 1 → 0
1	0	0	0	0
1	0	1	0	0
1	0	1	0	0
1	1	0	0	0
1	1	0	0	0
1	1	1	0	0
1	1	1	0	0

AB = R54/76 / A8  
BDRQ 1 / 0

работа HDE с буфером  
A8 - инверсионный светик  
1\* - пока не будет на входе A8 не будет "0" и A8 не станет "1", т.е. ожидание окончательной операции в регистры 161054/161076 (в основном обратный, к нему)  
A8: 0 → 1, если закончилась операция в регистры, т.е.  
A8: 1 → 0, происходит только при работе HDE с буфером

1\* - пока не будет на входе A8 не будет "0" и A8 не станет "1", т.е. ожидание окончательной операции в регистры 161054/161076 (в основном обратный, к нему)  
A8: 0 → 1, если закончилась операция в регистры, т.е.  
A8: 1 → 0, происходит только при работе HDE с буфером

(a v b) (a v c) = a v a v b v a v c v b v c  
a v b v a v c = a (v b v c) = a v b v c